

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-338461  
 (43)Date of publication of application : 08.12.2000

(51)Int.Cl. G02F 1/133  
 G09G 3/20  
 G09G 3/36

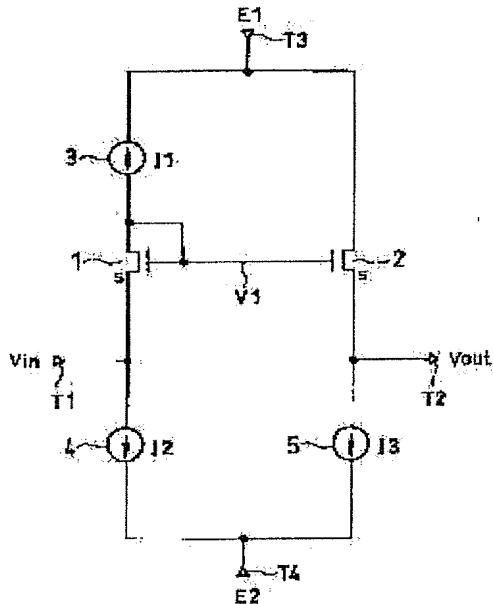
(21)Application number : 11-145768 (71)Applicant : NEC CORP  
 (22)Date of filing : 26.05.1999 (72)Inventor : TSUCHI HIROSHI

## (54) DRIVING CIRCUIT, DRIVING CIRCUIT SYSTEM, BIASING CIRCUIT, AND DRIVING CIRCUIT DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To drive a capacitance load with a simple circuit structure and a high current supply capability by controlling the currents between the drains and sources of both transistors.

**SOLUTION:** An output voltage  $V_{out}$  becomes equal to an input voltage  $V_{in}$  when  $I_1$  and  $I_3$  are controlled so that the gate voltages  $V_{gs1}$  ( $I_1$ ) and  $V_{gs2}$  ( $I_3$ ) of the respective transistors 1, 2 become equal to each other. It is possible to obtain a highly accurate voltage output uninfluenced by the variations in the characteristics of the transistors by setting the element sizes and the currents  $I_1$ ,  $I_3$  of the transistors 1, 2 to be equal and setting the  $I_1$ ,  $I_3$  according to the ratio of the channel width ratio so that  $V_{gs1}$  ( $I_1$ )– $V_{gs2}$  ( $I_3$ ) will not change even though the transistor characteristics vary. Moreover, if the current  $I_2$  is controlled to be equal to the current  $I_1$ , the driving circuit can easily be operated even when an external circuit for supplying the input voltage  $V_{in}$  has a low current supply capability.



F

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-338461

(P2000-338461A)

(43)公開日 平成12年12月8日(2000.12.8)

(51) Int.Cl.<sup>7</sup>  
 G 0 2 F 1/133  
 G 0 9 G 3/20  
 3/36

識別記号  
 5 5 0  
 6 2 2

F I  
 G 0 2 F 1/133  
 G 0 9 G 3/20  
 3/36

テ-マコ-ト(参考)  
 2 H 0 9 3  
 6 2 2 B 5 C 0 0 6  
 5 C 0 8 0

審査請求 有 請求項の数22 O.L (全 22 頁)

(21)出願番号

特願平11-145768

(22)出願日

平成11年5月26日(1999.5.26)

(71)出願人 000004237  
 日本電気株式会社  
 東京都港区芝五丁目7番1号

(72)発明者 土 弘  
 東京都港区芝五丁目7番1号 日本電気株  
 式会社内

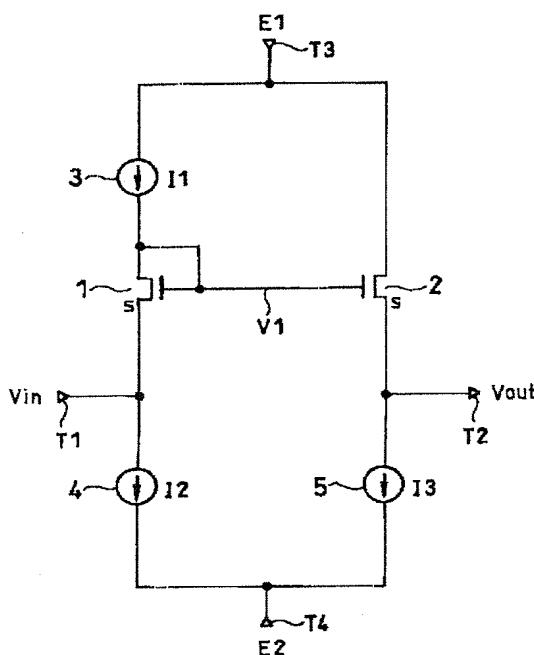
(74)代理人 100088812  
 弁理士 ▲柳▼川 信  
 Fターム(参考) 2H093 NC11 NC21 ND42 ND49 ND54  
 5C006 BB16 BC03 BC12 BF25 BF34  
 EB05 FA41 FA47 FA51  
 5C080 AA10 BB05 DD25 DD26 DD27  
 FF11 JJ03 JJ04

(54)【発明の名称】 駆動回路、駆動回路システム、バイアス回路及び駆動回路装置

## (57)【要約】

【課題】 駆動回路が発振する場合があり、また、集積化における駆動回路の所要面積が大きく、製造コストが高かった。

【解決手段】 ドレインとゲートが接続され、ソースに入力端子が接続された第1のトランジスタと、ドレインに第1の電源端子が接続され、ソースに出力端子が接続され、ゲートに第1のトランジスタのゲート電圧と等しい電圧を受ける第2のトランジスタと、第1の電源端子と第1のトランジスタのドレイン(ゲート)との間に接続された第1の電流制御回路と、入力端子と第2の電源端子との間に接続された第2の電流制御回路と、出力端子と第2の電源端子との間に接続された第3の電流制御回路とを設け、入力電圧から第1のトランジスタのゲート・ソース間電圧だけずれた電圧で第2のトランジスタのゲートをバイアスし、トランジスタ2をソースフォロワ動作させるようにした。



## 【特許請求の範囲】

【請求項1】 入力電圧を第1の電圧にレベル変換するレベル変換手段と、前記第1の電圧をゲートに受け、前記入力電圧に応じた出力電圧をソースより出力する第1のトランジスタと、前記第1のトランジスタのドレイン・ソース間に流れる電流を制御する第1の電流制御手段と、前記第1のトランジスタをソースフォロワ動作させる駆動手段とを含むことを特徴とする駆動回路。

【請求項2】 前記レベル変換手段は、前記第1のトランジスタと同一導電型であり、ソースに前記入力電圧を受け、共通接続したドレインとゲートより前記第1の電圧を出力する第2のトランジスタと、前記第2のトランジスタのドレイン・ソース間に流れる電流を制御する第2の電流制御手段とを含むことを特徴とする請求項1記載の駆動回路。

【請求項3】 第1の電源端子と、入力電圧を受ける入力端子と、出力電圧を出力する出力端子と、ドレインとゲートとが接続されソースに前記入力端子が接続された第1のトランジスタと、前記第1のトランジスタと同一導電型でありますドレインに前記第1の電源端子が接続されソースに前記出力端子が接続されゲートに前記第1のトランジスタのゲート電圧と等しい電圧を受ける第2のトランジスタと、前記第1のトランジスタのドレイン（ゲート）とソースとの間に流れる電流を制御する第1の電流制御手段と、前記第2のトランジスタのドレインとソースとの間に流れる電流を制御する第2の電流制御手段とを含むことを特徴とする駆動回路。

【請求項4】 前記第1の電流制御手段は、第2の電源端子と前記第1のトランジスタのドレイン（ゲート）との間に接続した第1の電流制御回路であり、前記第2の電流制御手段は、前記出力端子と第3の電源端子との間に接続された第2の電流制御回路であることを特徴とする請求項3記載の駆動回路。

【請求項5】 前記入力端子と第4の電源端子との間に接続された第3の電流制御回路を更に含むことを特徴とする請求項4記載の駆動回路。

【請求項6】 前記入力端子、前記出力端子及び前記電源端子のそれぞれの端子間に流れる電流を遮断することができるスイッチ群と、前記スイッチ群のオン及びオフを制御するスイッチ制御手段と、を更に含むことを特徴とする請求項3～5のいずれかに記載の駆動回路。

【請求項7】 前記出力端子を少なくとも1種類の電圧にプリチャージする第1のプリチャージ手段を更に含むことを特徴とする請求項3～6のいずれかに記載の駆動回路。

【請求項8】 前記第1のトランジスタのゲート電圧を所定の第1の電圧にプリチャージする第2のプリチャージ手段を更に含むことを特徴とする請求項3～7のいずれかに記載の駆動回路。

【請求項9】 前記第1及び第2の電流制御回路が、ゲート・ソース間電圧の制御により電流制御されるnチャネル型又はpチャネル型の電流制御トランジスタで構成されることを特徴とする請求項4記載の駆動回路。

【請求項10】 前記第1～第4の電流制御回路が、ゲート・ソース間電圧の制御により電流制御されるnチャネル型又はpチャネル型の電流制御トランジスタで構成されることを特徴とする請求項5記載の駆動回路。

【請求項11】 入力電圧を受ける入力端子と出力電圧を出力する出力端子とをそれぞれ共有する第1の駆動回路及び第2の駆動回路と、

前記入力電圧に応じて前記第1の駆動回路及び前記第2の駆動回路の少なくとも一方を動作させる駆動手段とを含み、

前記第1の駆動回路は、

ドレインとゲートとが接続され、ソースが前記入力端子に接続された第1のnチャネル型トランジスタと、ドレインに第1の電源端子が接続され、ソースが前記出力端子に接続され、ゲートに前記第1のnチャネル型トランジスタのゲート電圧と等しい電圧を受ける第2のnチャネル型トランジスタと、

前記第1のnチャネル型トランジスタのドレイン（ゲート）とソースとの間に流れる電流を制御する第1の電流制御手段と、

前記第2のnチャネル型トランジスタのドレインとソースとの間に流れる電流を制御する第2の電流制御手段と、

を含み、

前記第2の駆動回路は、

ドレインとゲートとが接続され、ソースが前記入力端子に接続された第1のpチャネル型トランジスタと、

ドレインに第2の電源端子が接続され、ソースが前記出力端子に接続され、ゲートに前記第1のpチャネル型トランジスタのゲート電圧と等しい電圧を受ける第2のpチャネル型トランジスタと、

前記第1のpチャネル型トランジスタのドレイン（ゲート）とソースとの間に流れる電流を制御する第3の電流制御手段と、

前記第2のpチャネル型トランジスタのドレインとソースとの間に流れる電流を制御する第4の電流制御手段と、

を含むことを特徴とする駆動回路システム。

【請求項12】 前記第1の電流制御手段は、第3の電源端子と前記第1のnチャネル型トランジスタのドレイン（ゲート）との間に接続された第1の電流制御回路を含み、

前記第2の電流制御手段は、前記出力端子と第4の電源端子との間に接続された第2の電流制御回路を含み、

前記第3の電流制御手段は、第5の電源端子と前記第1のpチャネル型トランジスタのドレイン（ゲート）との

間に接続された第3の電流制御回路を含み、前記第4の電流制御手段は、前記出力端子と第6の電源端子との間に接続された第4の電流制御回路を含むことを特徴とする請求項11記載の駆動回路システム。

【請求項13】 前記第1の駆動回路は、前記入力端子と第7の電源端子との間に接続された第5の電流制御回路を更に含み、

前記第2の駆動回路は、前記入力端子と第8の電源端子との間に接続された第6の電流制御回路を更に含むことを特徴とする請求項11又は12記載の駆動回路システム。

【請求項14】 前記入力端子、前記出力端子及び前記電源端子のそれぞれの端子間に流れる電流を遮断することができるスイッチ群と、

前記スイッチ群のオン及びオフを制御するスイッチ制御手段と、

を更に含むことを特徴とする請求項11～13のいずれかに記載の駆動回路システム。

【請求項15】 前記出力端子を少なくとも1種類の電圧にプリチャージする第1のプリチャージ手段を更に含むことを特徴とする請求項11～13のいずれかに記載の駆動回路システム。

【請求項16】 前記第1のnチャネル型トランジスタのゲート電圧を所定の第1の電圧にプリチャージする第2のプリチャージ手段と、前記第1のpチャネル型トランジスタのゲート電圧を所定の第2の電圧にプリチャージする第3のプリチャージ手段とを更に含むことを特徴とする請求項14記載の駆動回路システム。

【請求項17】 前記第1～第4の電流制御回路が、ゲート・ソース間電圧の制御により電流制御されるnチャネル型又はpチャネル型の電流制御トランジスタで構成されることを特徴とする請求項12記載の駆動回路システム。

【請求項18】 前記第1～第6の電流制御回路が、ゲート・ソース間電圧の制御により電流制御されるnチャネル型又はpチャネル型の電流制御トランジスタで構成されることを特徴とする請求項13記載の駆動回路システム。

【請求項19】 請求項1～8のいずれかに記載の駆動回路又は請求項9～14のいずれかに記載の駆動回路システムに含まれる前記nチャネル型の電流制御トランジスタと同じゲート・ソース間電圧を有する第1のnチャネル型トランジスタと、

請求項1～8のいずれかに記載の駆動回路又は請求項9～14のいずれかに記載の駆動回路システムに含まれる前記pチャネル型の電流制御トランジスタと同じゲート・ソース間電圧を有しつつ前記第1のnチャネル型トランジスタのドレイン・ソース間電流と等しい大きさのドレイン・ソース間電流を有する第1のpチャネル型トランジスタと、

を含むことを特徴とするバイアス回路。

【請求項20】 請求項1～10のいずれかの駆動回路を複数含み、さらに請求項19のバイアス回路を含み、複数の前記駆動回路で前記バイアス回路を共用するようにしたことを特徴とする駆動回路システム。

【請求項21】 請求項11～18のいずれかの駆動回路システムを複数含み、さらに請求項19のバイアス回路を含み、複数の前記駆動回路システムで前記バイアス回路を共用するようにしたことを特徴とする駆動回路装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は駆動回路、駆動回路システム、これらに用いるバイアス回路及び駆動回路装置に関し、特に液晶表示装置（LCD）の駆動回路の出力段であるドライバ（パッファ）部等に用いる容量性負荷の駆動回路、駆動回路システム、これらに用いるバイアス回路及び駆動回路装置に関する。

##### 【0002】

【従来の技術】容量性負荷の駆動回路の代表例として液晶表示装置（LCD）について説明する。一般に、アクティブマトリクス駆動方式を用いた液晶表示装置の表示部は、透明な画素電極及び薄膜トランジスタ（TFT）を配置した半導体基板と、面全体に1つの透明な電極を形成した対向基板と、これら2枚の基板を対向させて間に液晶を封入した構造からなり、スイッチング機能を持つTFTを制御することにより各画素電極に所定の電圧を印加し、各画素電極と対向基板電極との間の電位差により液晶の透過率を変化させて画像を表示するものである。

【0003】半導体基板上には、各画素電極へ印加する複数のレベル電圧（階調電圧）を送るデータ線と、TFTのスイッチング制御信号を送る走査線とが配線され、データ線は対向基板電極との間に挿まれる液晶容量や各走査線との交差部に生じる容量などにより大きな容量性負荷となっている。各画素電極への階調電圧の印加はデータ線を介して行われ、1フレーム期間にデータ線につながる全ての画素へ階調電圧の書き込みが行われるため、データ線駆動回路は大きな容量性負荷であるデータ線を高速に駆動しなければならない。

【0004】このようにデータ線駆動回路は、容量の大きなデータ線を高い電圧精度で高速に駆動する必要があり、この要求を満たすために様々なデータ線駆動回路の開発が行われてきた。この中で、高精度出力及び高速駆動を可能にしたのがドライバ（パッファ）部にオペアンプを用いた駆動回路である。その代表的な回路例を図16に示す。

【0005】図16において、オペアンプはボルテージフォロワとなっており、入力電圧 $V_{in}$ と等しい電圧を出力電圧 $V_{out}$ として出力することができる。オペア

ンプは差動増幅段610と出力増幅段620で構成されている。差動増幅段610は、電流制御回路601と、同じ特性を有するPMOSトランジスタ603、604と、同じ特性を有するNMOSトランジスタ605、606で構成される。NMOSトランジスタ605、606はゲートどうし、ソースどうしが共通接続され、共通接続されたソースは電源端子T14に接続される。なおNMOSトランジスタ606はドレインもゲートと共に接続される。

【0006】PMOSトランジスタ603、604はソースが共通接続され、PMOSトランジスタ603は、ゲートが入力端子T1に接続され、ドレインがNMOSトランジスタ605のドレインと接続される。PMOSトランジスタ604は、ゲートが出力端子T2に接続され、ドレインがNMOSトランジスタ606のドレインと接続される。電流制御回路601は電源端子T13とPMOSトランジスタ603、604のソースとの間に接続される。

【0007】一方、出力増幅段620は、電流制御回路602、NMOSトランジスタ607、容量素子608で構成される。電流制御回路602は電源端子T11と出力端子T2との間に接続される。NMOSトランジスタ607は、ドレインが出力端子T2に接続され、ソースが電源端子T12に接続され、ゲートがPMOSトランジスタ603とNMOSトランジスタ605のドレイン共通端子に接続される。容量素子608はNMOSトランジスタ607のゲートと出力端子T2との間に接続される。なお、電流制御回路601、602により制御される電流をI61、I62とし、電源端子T11、T13には電圧VDDが、電源端子T12、T14には電圧VSSが与えられる。

【0008】また、出力端子T2には容量性負荷のデータ線が接続されているものとする。図16のオペアンプは出力電圧Voutを差動増幅段に帰還すること、すなわち出力電圧VoutをPMOSトランジスタ604のゲートに入力することにより、電圧増幅率が1で、電流供給能力の高い構成（ボルテージフォロワ）となる。その動作は、出力電圧Voutが入力電圧Vinより低い場合、NMOSトランジスタ607のゲート電圧が引下げられ、NMOSトランジスタ607は一時的にオフ状態となり、出力電圧Voutは電流制御回路602より供給される電流I62により電圧が引上げられる。

【0009】一方、出力電圧Voutが入力電圧Vinより高い場合、NMOSトランジスタ607のゲート電圧が引上げられ、NMOSトランジスタ607の動作により、出力電圧Voutは引下げられる。このとき、NMOSトランジスタ605、606は、それぞれドレイン・ソース間に等しい電流を流すように作用するので、出力電圧Voutは減衰しながら入力電圧Vinに速やかに収束する。また、容量素子608は位相補償を行

い、発振を防いでいる。

【0010】これにより、オペアンプは、各出力期間ごとに階調電圧が入力電圧Vinとして入力されると、出力端子T2に接続されたデータ線容量に高い電流供給能力で階調電圧を駆動することができる。

【0011】また、オペアンプは、インピーダンス変換により入力電圧Vinを供給する外部回路の電流供給能力に依存せずに駆動することができる。

【0012】

【発明が解決しようとする課題】しかしながら、図16のオペアンプ（ボルテージフォロワ回路）は帰還をかけていることにより発振する場合があり、発振を防ぐための設計が必要である。また、オペアンプの集積化において、位相補償用の容量素子は所要面積が大きくなる場合があり、多数のオペアンプを単一の集積回路で構成する場合、集積回路の所要面積が増大し、この結果、製造コストが上昇するという欠点がある。

【0013】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的はトランジスタだけの簡単な回路構成で、発振の生じない安定な動作を行い、高精度な電圧出力、高速駆動を実現することのできる駆動回路を提供することである。また、本発明の他の目的は、多数の駆動回路の集積化において、製造コストを低減することのできる駆動回路、駆動回路システム、これらに用いるバイアス回路及び駆動回路装置を提供することである。

【0014】

【課題を解決するための手段】本発明による駆動回路は、入力電圧を第1の電圧にレベル変換するレベル変換手段と、前記第1の電圧をゲートに受け、前記入力電圧に応じた出力電圧をソースより出力する第1のトランジスタと、前記第1のトランジスタのドレイン・ソース間に流れる電流を制御する第1の電流制御手段と、前記第1のトランジスタをソースフォロワ動作させる駆動手段とを含むことを特徴とする。また、前記レベル変換手段は、前記第1のトランジスタと同一導電型であり、ソースに前記入力電圧を受け、共通接続したドレインとゲートより前記第1の電圧を出力する第2のトランジスタと、前記第2のトランジスタのドレイン・ソース間に流れる電流を制御する第2の電流制御手段とを含むことを特徴とする。

【0015】本発明による他の駆動回路は、第1の電源端子と、入力電圧を受ける入力端子と、出力電圧を出力する出力端子と、ドレインとゲートとが接続されソースに前記入力端子が接続された第1のトランジスタと、前記第1のトランジスタと同一導電型でありかつドレインに前記第1の電源端子が接続されソースに前記出力端子が接続されゲートに前記第1のトランジスタのゲート電圧と等しい電圧を受ける第2のトランジスタと、前記第1のトランジスタのドレイン（ゲート）とソースとの間

に流れる電流を制御する第1の電流制御手段と、前記第2のトランジスタのドレインとソースとの間に流れる電流を制御する第2の電流制御手段とを含むことを特徴とする。また、第1の電流制御手段として、第2の電源端子と前記第1のトランジスタのドレイン(ゲート)との間に接続した第1の電流制御回路を具備させても良く、第2の電流制御手段として、前記出力端子と第3の電源端子との間に接続された第2の電流制御回路を具備させても良い。また、前記入力端子と第4の電源端子との間に接続された第3の電流制御回路を具備させても良い。

【0016】前記入力端子、前記出力端子及び前記電源端子のそれぞれの端子間に流れる電流を遮断することが可能なスイッチ群と、前記スイッチ群のオン及びオフを制御するスイッチ制御手段とを更に含んでも良い。前記出力端子を少なくとも1種類の電圧にプリチャージする第1のプリチャージ手段を更に含んでも良い。前記第1のトランジスタのゲート電圧を所定の第1の電圧にプリチャージする第2のプリチャージ手段を更に含んでも良い。

【0017】本発明による駆動回路システムは、入力電圧を受ける入力端子と出力電圧を出力する出力端子とをそれぞれ共有する第1の駆動回路及び第2の駆動回路と、前記入力電圧に応じて前記第1の駆動回路及び前記第2の駆動回路の少なくとも一方を動作させる駆動手段とを含み、前記第1の駆動回路は、ドレインとゲートとが接続され、ソースが前記入力端子に接続された第1のnチャネル型トランジスタと、ドレインに第1の電源端子が接続され、ソースが前記出力端子に接続され、ゲートに前記第1のnチャネル型トランジスタのゲート電圧と等しい電圧を受ける第2のnチャネル型トランジスタと、前記第1のnチャネル型トランジスタのドレイン(ゲート)とソースとの間に流れる電流を制御する第1の電流制御手段と、前記第2のnチャネル型トランジスタのドレインとソースとの間に流れる電流を制御する第2の電流制御手段と、を含み、前記第2の駆動回路は、ドレインとゲートとが接続され、ソースが前記入力端子に接続された第1のpチャネル型トランジスタと、ドレインに第2の電源端子が接続され、ソースが前記出力端子に接続され、ゲートに前記第1のpチャネル型トランジスタのゲート電圧と等しい電圧を受ける第2のpチャネル型トランジスタと、前記第1のpチャネル型トランジスタのドレイン(ゲート)とソースとの間に流れる電流を制御する第3の電流制御手段と、前記第2のpチャネル型トランジスタのドレインとソースとの間に流れる電流を制御する第4の電流制御手段と、を含むことを特徴とする。前記第1の電流制御手段は、第3の電源端子と前記第1のnチャネル型トランジスタのドレイン(ゲート)との間に接続された第1の電流制御回路を含み、前記第2の電流制御手段は、前記出力端子と第4の電源端子との間に接続された第2の電流制御回路を含み、前

記第3の電流制御手段は、第5の電源端子と前記第1のpチャネル型トランジスタのドレイン(ゲート)との間に接続された第3の電流制御回路を含み、前記第4の電流制御手段は、前記出力端子と第6の電源端子との間に接続された第4の電流制御回路を含むことを特徴とする。前記第1の駆動回路は、前記入力端子と第7の電源端子との間に接続された第5の電流制御回路を更に含み、前記第2の駆動回路は、前記入力端子と第8の電源端子との間に接続された第6の電流制御回路を更に含むことを特徴とする。

【0018】本発明による他の駆動回路システムは、前記入力端子、前記出力端子及び前記電源端子のそれぞれの端子間に流れる電流を遮断することが可能なスイッチ群と、前記スイッチ群のオン及びオフを制御するスイッチ制御手段と、を更に含むことを特徴とする。また、本発明による他の駆動回路システムは、前記出力端子を少なくとも1種類の電圧にプリチャージする第1のプリチャージ手段を更に含むことを特徴とする。本発明による他の駆動回路システムは、前記第1のnチャネル型トランジスタのゲート電圧を所定の第1の電圧にプリチャージする第2のプリチャージ手段と、前記第1のpチャネル型トランジスタのゲート電圧を所定の第2の電圧にプリチャージする第3のプリチャージ手段とを更に含むことを特徴とする。なお、前記第1～第6の電流制御回路は、ゲート・ソース間電圧の制御により電流制御されるnチャネル型又はpチャネル型の電流制御トランジスタで構成されることを特徴とする。

【0019】本発明によるバイアス回路は、上記駆動回路又は上記駆動回路システムに含まれる前記nチャネル型の電流制御トランジスタと同じゲート・ソース間電圧を有する第1のnチャネル型トランジスタと、上記駆動回路又は上記駆動回路システムに含まれる前記pチャネル型の電流制御トランジスタと同じゲート・ソース間電圧を有しつつ前記第1のnチャネル型トランジスタのドレイン・ソース間電流と等しい大きさのドレイン・ソース間電流を有する第1のpチャネル型トランジスタと、を含むことを特徴とする。

【0020】本発明による他の駆動回路システムは、上記駆動回路を複数含み、さらに上記バイアス回路を含み、複数の駆動回路でバイアス回路を共用するようにしたことを特徴とする。

【0021】本発明による駆動回路装置は、上記駆動回路システムを複数含み、さらに上記バイアス回路を含み、複数の駆動回路システムでバイアス回路を共用するようにしたことを特徴とする。

【0022】本発明の駆動回路の作用を以下に説明する。

【0023】第1のトランジスタのゲート・ソース間電圧は、ドレイン・ソース間電流が制御されると一意に定まる。そのため、入力電圧 $V_{in}$ が第1のトランジスタ

のソースに入力されると、第1のトランジスタのゲート（ドレイン）は、入力電圧 $V_{in}$ から第1のトランジスタのゲート・ソース間電圧だけずれた電圧となる。一方、第2のトランジスタはドレインに電源電圧を受け、ゲートに第1のトランジスタのゲートと等しい電圧を受けると、ソースフロワ動作可能となる。ここで第2のトランジスタのドレイン・ソース間電流が制御されると、第2のトランジスタのゲート・ソース間電圧も一意に定まり、第2のトランジスタのソースから取り出される出力電圧 $V_{out}$ は、第2のトランジスタのゲートから第2のトランジスタのゲート・ソース間電圧だけずれた電圧で安定となる。

【0024】従って、第1及び第2のトランジスタのドレイン・ソース間電流を制御することにより、入力電圧 $V_{in}$ に応じた電圧を出力電圧 $V_{out}$ として取り出すことが可能である。また、入力電圧 $V_{in}$ が変化した場合は、第2のトランジスタのソースフロワ動作により、出力電圧 $V_{out}$ を入力電圧 $V_{in}$ に応じた電圧に速やかに変化させることが可能である。

#### 【0025】

【発明の実施の形態】次に、本発明の実施の一形態について図面を参照して説明する。なお、以下の説明において参考する各図においては、他の図と同等部分には同一符号が付されている。また、各図とも電源数が最小となる回路構成を示した。

【0026】図1は本発明による駆動回路の実施の一形態を示すブロック図である。同図においては、共通ゲート電極を有する同一導電型の2つのトランジスタ1、2が設けられている。トランジスタ1は、ドレインとゲートが接続され、ソースが入力端子T1に接続されている。トランジスタ2は、ドレインが電源端子T3に接続され、ソースが出力端子T2に接続されている。電源端子T3とトランジスタ1のドレイン（ゲート）と間には電流制御回路3が接続され、電源端子T3から入力端子T1へ流れる電流をI1に制御する。入力端子T1と電源端子T4との間には電流制御回路4が接続され、入力端子T1から電源端子T4へ流れる電流をI2に制御する。出力端子T2と電源端子T4との間には電流制御回路5が接続され、出力端子T2から電源端子T4へ流れ

$$V_{out} = V_{in} + V_{gs1} \quad (1)$$

となる。このとき出力電圧範囲は、電源電圧E1と電源電圧E2の電圧範囲から少なくともトランジスタ2のゲート・ソース間電圧 $V_{gs2}$ （I3）の電圧差だけ狭い電圧範囲となる。

【0030】ここでトランジスタ1、2のそれぞれのゲート・ソース間電圧 $V_{gs1}$ （I1）、 $V_{gs2}$ （I3）が等しくなるように電流I1、I3を制御すれば、式（5）より出力電圧 $V_{out}$ は入力電圧 $V_{in}$ と等しい電圧となる。また、トランジスタの特性変動が生じても、 $V_{gs1}$ （I1） $-V_{gs2}$ （I3）が変化しない

る電流をI3に制御する。電源端子T3、T4にはそれぞれ電圧E1、E2が与えられている。また、出力端子T2には容量性負荷が接続されているものとする。なお、図1中の符号「S」はトランジスタのソース端子であることを示している。他の図においても同様であるものとする。

【0027】図1の駆動回路の動作を以下に説明する。入力端子T1に入力電圧 $V_{in}$ が入力されると、トランジスタ1のゲート電圧 $V_1$ は入力電圧 $V_{in}$ からトランジスタ1のゲート・ソース間電圧 $V_{gs1}$ だけずれた電圧となり、

$$V_1 = V_{in} + V_{gs1} \dots (1)$$

で表される。このとき、トランジスタはドレイン・ソース間電流 $I_{ds}$ とゲート・ソース間電圧 $V_{gs}$ との間に固有の特性（以後、 $I_{ds}-V_{gs}$ 特性と記す）を有し、トランジスタ1のゲート・ソース間電圧 $V_{gs1}$ は、トランジスタ1の $I_{ds}-V_{gs}$ 特性と電流I1によって一意に定まる。トランジスタ1のドレイン・ソース間電流がI1となる時のゲート・ソース間電圧を $V_{gs1}$ （I1）とすると、トランジスタ1のゲート電圧 $V_1$ は、

$$V_1 = V_{in} + V_{gs1} \quad (I1) \dots (2)$$

で安定となる。

【0028】また、トランジスタ2のゲートに電圧 $V_1$ が印加されると、出力電圧 $V_{out}$ は電圧 $V_1$ からトランジスタ2のゲート・ソース間電圧 $V_{gs2}$ だけずれた電圧となり、

$$V_{out} = V_1 - V_{gs2} \dots (3)$$

で表される。そして、出力電圧 $V_{out}$ はトランジスタ2のドレイン・ソース間電流がI3と等しくなるところで安定する。このときのトランジスタ2のゲート・ソース間電圧 $V_{gs2}$ は、トランジスタ2の $I_{ds}-V_{gs}$ 特性と電流I3により、 $V_{gs2}$ （I3）となり、出力電圧 $V_{out}$ は、

$$V_{out} = V_1 - V_{gs2} \quad (I3) \dots (4)$$

で安定となる。

【0029】式（2）、式（4）より、入力電圧 $V_{in}$ が一定のときの出力電圧 $V_{out}$ は、

$$-V_{gs2} \quad (I3) \dots (5)$$

のようなトランジスタ1、2の素子サイズ及び電流I1、I3を設定すれば、トランジスタの特性変動によらない高精度の電圧出力が可能である。具体的には、トランジスタ1、2の素子サイズ及び電流I1、I3をそれぞれ等しく設定したり、またはトランジスタ1、2のチャネル長を揃えて、チャネル幅比に応じて電流I1、I3を設定する等を行えば、トランジスタの閾値電圧変動によらない電圧出力が可能である。

【0031】また、電流I2を電流I1と等しくなるように制御すれば、入力電圧 $V_{in}$ を供給する外部回路の

電流供給能力が低い場合でも図1の駆動回路を容易に動作させることができる。なお、電流制御回路4がない場合でも図1の駆動回路は動作可能であるが、その場合は入力電圧 $V_{in}$ を供給する外部回路に十分な電流供給能力が必要となる。

【0032】次に入力電圧 $V_{in}$ が変化する場合の動作について説明する。入力電圧 $V_{in}$ が変化した場合、トランジスタ1、2の共通ゲートの容量が十分小さければ、電圧 $V_1$ は入力電圧 $V_{in}$ の変化に比較的速やかに追随して式(2)で表される電圧に変化する。ここで入力電圧 $V_{in}$ が電圧 $E_1$ に近づくように変化する場合には、トランジスタ2のソースフォロワ動作により、出力電圧 $V_{out}$ は式(5)で表される電圧に速やかに変化する。一方、入力電圧 $V_{in}$ が電圧 $E_2$ に近づくように変化する場合には、トランジスタ2は一時的にオフとなり、出力電圧 $V_{out}$ は電流 $I_3$ の電流供給能力により、式(5)で表される電圧に変化する。なお、トランジスタ2のソースフォロワ動作による電流供給能力は、トランジスタ2のゲート・ソース間電圧が閾値電圧に近づくにつれて低下するが、最低でも電流 $I_3$ の電流供給能力をもつ。すなわち図1の駆動回路の駆動能力は、入力電圧 $V_{in}$ が電圧 $E_1$ に近づくように変化する場合にはトランジスタ2のソースフォロワ動作による高い駆動能力を持ち、入力電圧 $V_{in}$ が電圧 $E_2$ に近づくように変化する場合には電流 $I_3$ に依存した駆動能力をもつ。そして電流制御回路5により電流 $I_3$ を調整すれば、図1の駆動回路の駆動能力を変化させることができる。

【0033】以上のように図1の駆動回路は、簡単な構成で高い駆動能力をもつことができ、トランジスタの特性変動を考慮してトランジスタ1、2の素子サイズ及び電流 $I_1$ 、 $I_3$ を設定すれば、トランジスタの特性変動によらない高精度出力を実現できる。

【0034】また図1において、トランジスタ1、2はMOSトランジスタの素子記号で表しているが、他の電界効果トランジスタでも同様の動作により同様の効果を有する。またトランジスタ1、2を、ドレインをコレクタとし、ゲートをベースとし、ソースをエミッタとしたバイポーラトランジスタに置き換えた場合でも同様の効果を有する。これは以下の実施の形態においても同様であり、個々の説明は省略する。以下の実施の形態でも、MOSトランジスタを用いた駆動回路で説明する。

【0035】図2は本発明に係る駆動回路の第2の実施の形態を示す回路図である。図2は、図1の駆動回路において、トランジスタ1、2の共通ゲートをプリチャージするプリチャージ回路として、電源端子T3とトランジスタ1、2の共通ゲートと間にスイッチ11が接続され、出力端子T2をプリチャージするプリチャージ回路として、出力端子T2と電源端子T4との間にスイッチ12が接続されている。またトランジスタ1のソースと入力端子T1との間には、トランジスタ1のドレイン・

ソース間電流を遮断することのできるスイッチ21が接続され、入力端子T1と電源端子T4との間には電流 $I_2$ を遮断することのできるスイッチ22が接続され、電源端子T3と出力端子T2との間には、トランジスタ2のドレイン・ソース間電流を遮断することのできるスイッチ23が接続され、出力端子T2と電源端子T4との間には電流 $I_3$ を遮断することのできるスイッチ24が接続されている。

【0036】図2の駆動回路の動作を図3を参照して説明する。なお、図3は任意のレベルの電圧を出力する1出力期間を示す。

【0037】始めに、時刻 $t_0$ にて、スイッチ11、12がオン、スイッチ21、22、23、24がオフとされる。この結果、トランジスタ1、2の共通ゲートは電圧 $E_1$ に、出力端子T2は電圧 $E_2$ にプリチャージされる。

【0038】次に、時刻 $t_1$ にて、スイッチ11がオフ、スイッチ21、22がオンとされる。この結果、トランジスタ1の作用により、トランジスタ1、2の共通ゲートの電圧 $V_1$ は、入力電圧 $V_{in}$ からトランジスタ1のゲート・ソース間電圧だけずれた電圧に速やかに変化し、式(2)で表される電圧で安定する。

【0039】次に、時刻 $t_2$ にて、スイッチ12がオフ、スイッチ23、24がオンとされる。この結果、トランジスタ2のソースフォロワ動作により、出力電圧 $V_{out}$ は式(5)で表される電圧に速やかに変化し、時刻 $t_3$ まで出力電圧 $V_{out}$ が保たれる。

【0040】なお、出力電圧範囲は図1の駆動回路と同様である。また、図1の駆動回路と同様に、トランジスタ1、2のそれぞれのゲート・ソース間電圧 $V_{gs1}$ (I1)、 $V_{gs2}$ (I3)が等しくなるように電流 $I_1$ 、 $I_3$ を制御すれば、出力電圧 $V_{out}$ を入力電圧 $V_{in}$ と等しい電圧にすることができる、さらにトランジスタの特性変動を考慮してトランジスタ1、2の素子サイズ及び電流 $I_1$ 、 $I_3$ を設定すれば、トランジスタの特性変動によらない高精度出力を実現できる。

【0041】また、電流 $I_2$ を電流 $I_1$ と等しくなるように制御すれば、入力電圧 $V_{in}$ を供給する外部回路の電流供給能力が低い場合でも図2の駆動回路を容易に動作させることができる。

【0042】次に、図2の駆動回路の図1の駆動回路と異なる特長について説明する。図2の駆動回路は、図1の駆動回路を改良したもので、駆動能力を低下させることなく消費電力を低減させることができある。図1の駆動回路では、入力電圧 $V_{in}$ が電源電圧 $E_2$ に近づくように変化する場合には駆動能力は電流 $I_3$ に依存し、駆動能力を高くするために電流 $I_3$ を大きくすれば静消費電力が増加する。しかし、入力電圧 $V_{in}$ が電源電圧 $E_1$ に近づくように変化する場合にはトランジスタ2のソースフォロワ動作により高い駆動能力を持つ。そこで

図2の駆動回路では、任意のレベルの電圧を出力する1出力期間ごとに出力端子T2を電圧E2にプリチャージさせ、各出力期間の電圧出力を毎回トランジスタ2のソースフォロワ動作による高い駆動能力で行うようにさせている。これにより電流I1、I2、I3を抑えても高速駆動を行うことができ、静消費電力を低減することができる。なお、出力端子T2のプリチャージ電圧は、時刻t2-t3間でトランジスタ2がソースフォロワ動作するような電圧であれば電圧E2以外でも良く、入力電圧Vinに応じた複数のプリチャージ電源を設けても良い。

【0043】また、スイッチ11によるトランジスタ1、2の共通ゲートのプリチャージは、電流I1がある程度大きい場合には必ずしも必要ではない。しかし、電流I1を非常に小さく抑える場合には、入力電圧Vinの変化に対して、トランジスタ1、2のゲート容量を充電又は放電するのに時間がかかり、トランジスタ1、2の共通ゲートの電圧を式(2)の電圧V1に速やかに変化させることができない場合がある。その場合、トランジスタ1、2の共通ゲートを各出力期間の始めにプリチャージすることにより、トランジスタ1がソースフォロワ動作し、トランジスタ1、2の共通ゲートの電圧を式(2)の電圧V1に速やかに変化させることができる。

【0044】また、スイッチ21、22、23、24は、スイッチ11、12によるそれぞれのプリチャージ期間の間、入力端子T1、出力端子T2、電源端子T3、T4の各端子間に流れる電流を遮断するように制御される。これにより余計な電流を遮断し、プリチャージに伴う電力の消費を最小限に抑えることができる。

【0045】なお、図2の駆動回路において、電流制御回路3、4、5がない場合でも一応動作可能である。この場合、トランジスタ1、2は、ゲート・ソース間電圧が閾値電圧付近となりドレイン・ソース間電流がほとんど流れなくなったところで電圧V1及び出力電圧Voutは安定する。ただし閾値電圧付近におけるゲート・ソース間電圧の変化に対してドレイン・ソース間電流の変化が緩やかであると、電圧V1及び出力電圧Voutがなかなか安定しないという問題がある。しかも電圧V1及び出力電圧Voutが安定するまでの時間は、それぞれトランジスタ1、2の共通ゲートのゲート容量及び出力端子T2に接続された容量性負荷の容量に大きく依存することになる。したがってトランジスタ1、2のゲート容量及び容量性負荷の容量に影響されず、十分な電流供給能力で速やかに電圧V1及び出力電圧Voutを安

となる。

【0049】図6は図2の駆動回路の別の具体例を示す駆動回路である。図6においては、図2のトランジスタ1、2をPMOSトランジスタ201、202で構成し、電源電圧E1、E2をそれぞれVSS、VDD(V

定させるためには、電流制御回路3、4、5を設け、トランジスタ1、2に流す電流を制御することが好ましい。以上のように図2の駆動回路は、出力端子T2をプリチャージすることにより常に高い駆動能力をもち、電流I1、I2、I3を抑えることにより低消費電力も実現できる。

【0046】次に図2の駆動回路の具体例を説明する。図4は図2の駆動回路の具体例を示す駆動回路である。図4においては、図2のトランジスタ1、2をNMOSトランジスタ101、102で構成し、電源電圧E1、E2をそれぞれVDD、VSS(VDD>VSS)としたものである。また図2の電流制御回路3、4、5をI03、I04、I05とし、それぞれ電流をI11、I12、I13に制御する。また図2のスイッチ11、12、21、22、23、24を111、112、121、122、123、124とし、上記スイッチ11、12、112、121、122、123、124は、それぞれ図3のスイッチ11、12、21、22、23、24と同様の制御を行う。またトランジスタ101、102の共通ゲートの電圧をV10とする。

【0047】図5は、図4のスイッチ111、112、121、122、123、124の制御信号タイミング及び入力電圧Vin、出力電圧Vout、電圧V10の電圧波形である。

【0048】図5(a)には任意のレベルの電圧を出力する1出力期間が示されている。また、図5(b)は、出力電圧Voutに入力電圧Vinと等しい電圧を出力する場合の電圧波形図である。図5において、電圧V10は時刻t0に電圧VDDにプリチャージされ、時刻t1以後、入力電圧Vinからトランジスタ101のゲート・ソース間電圧Vgs101(I11)だけずれた電圧に変化し、

$$V10 = Vin + Vgs101(I11) \dots (6)$$

で安定となる。出力電圧Voutは、時刻t0に電圧VSSにプリチャージされ、時刻t2以後、電圧V10からトランジスタ102のゲート・ソース間電圧Vgs102(I13)だけずれた電圧に変化し、

$$Vout = V10 - Vgs102(I13) \dots (7)$$

で安定となる。ここでVgs101(I11)とVgs102(I13)は正の値で、共に等しくなるように電流I11、I13を制御すれば、式(6)、式(7)より出力電圧Voutは入力電圧Vinと等しくなる。また、このとき出力電圧範囲は、

$$VSS \leq Vout \leq VDD - Vgs102(I13) \dots (8)$$

DD>VSS)としたものである。また図2の電流制御回路3、4、5をI03、I04、I05とし、それぞれ電流をI21、I22、I23に制御する。また図2のスイッチ11、12、21、22、23、24を21、212、221、222、223、224とし、上

記スイッチ211、212、221、222、223、224は、それぞれ図3のスイッチ11、12、21、22、23、24と同様の制御を行う。またトランジスタ201、202の共通ゲートの電圧をV20とする。

【0050】図7は、図6のスイッチ211、212、221、222、223の制御信号タイミング及び入力電圧Vin、出力電圧Vout、電圧V20の電圧波形である。図7(a)には任意のレベルの電圧を出力する1出力期間が示されている。また、図7(b)は、出力電圧Voutに入力電圧Vinと等しい電圧を出力する場合の電圧波形図である。

【0051】図7において、電圧V20は時刻t0に電圧VSSにプリチャージされ、時刻t1以後、入力電圧

$$V_{SS} - V_{GS\ 202} \quad (I\ 23) \leq V_{out} \leq V_{DD} \quad (1\ 1)$$

となる。

【0052】図8は本発明に係る駆動回路の第3の実施の形態を示す回路図である。図8においては、共通ゲート電極を有する2つのnチャネル型トランジスタ301、302と、共通ゲート電極を有する2つのpチャネル型トランジスタ401、402とが設けられている。トランジスタ301は、ドレインとゲートが接続され、ソースが入力端子T1に接続されている。トランジスタ302は、ドレインが電源端子T3に接続され、ソースが出力端子T2に接続されている。トランジスタ401は、ドレインとゲートが接続され、ソースが入力端子T1に接続されている。トランジスタ402は、ドレインが電源端子T4に接続され、ソースが出力端子T2に接続されている。電源端子T3とトランジスタ301のドレイン(ゲート)と間には電流制御回路303が接続され、電源端子T3から入力端子T1へ流れる電流をI31に制御する。電源端子T4とトランジスタ401のドレイン(ゲート)と間には電流制御回路403が接続され、入力端子T1から電源端子T4へ流れる電流をI41に制御する。

$$V_{out} = V_{in} + V_{GS\ 301} \quad (I\ 31) \\ = V_{in} + V_{GS\ 401} \quad (I\ 41)$$

となる。また出力電圧範囲は、電圧VDDと電圧VSSの電圧範囲からトランジスタ302、402それぞれのゲート・ソース間の電圧差だけ狭い電圧範囲となる。

【0054】ここで電流I31、I41が等しく、トランジスタ301、302のゲート・ソース間電圧VGS301(I31)、VGS302(Ic)がそれぞれ等しく、トランジスタ401、402のゲート・ソース間電圧VGS401(I41)、VGS402(Ic)が等しければ、出力電圧Voutは入力電圧Vinに等しくなる。また、電流I31、I41が等しい場合は、入力電圧Vinを供給する外部回路の電流供給能力が低い場合でも図1の駆動回路を容易に動作させることができる。

【0055】次に、入力電圧Vinが変化する場合の動作について説明する。入力電圧Vinが変化した場合、

Vinからトランジスタ201のゲート・ソース間電圧Vgs201(I21)だけずれた電圧に変化し、  
 $V_{20} = V_{in} + V_{gs\ 201} \quad (I\ 21) \dots (9)$   
 で安定となる。出力電圧Voutは、時刻t0に電圧VDDにプリチャージされ、時刻t2以後、電圧V20からトランジスタ202のゲート・ソース間電圧Vgs202(I23)だけずれた電圧に変化し、  
 $V_{out} = V_{20} - V_{gs\ 202} \quad (I\ 23) \dots (10)$   
 で安定となる。ここでVgs201(I21)とVgs202(I23)は負の値で、共に等しくなるように電流I21、I23を制御すれば、式(9)、式(10)より出力電圧Voutは入力電圧Vinに等しくなる。また、このとき出力電圧範囲は、

1に制御する。電源端子T1、T2にはそれぞれ電圧VDD、VSS(VDD>VSS)が与えられている。また、出力端子T2には容量性負荷が接続されているものとする。

【0053】図8の駆動回路の動作を以下に説明する。入力端子T1に入力電圧Vinが入力されると、トランジスタ301、401のそれぞれのゲート電圧V30、V40は、入力電圧Vinからゲート・ソース間電圧だけずれた電圧となり、

$$V_{30} = V_{in} + V_{gs\ 301} \quad (I\ 31) \dots (12)$$

$$V_{40} = V_{in} + V_{gs\ 401} \quad (I\ 41) \dots (13)$$

で安定となる。一方、出力電圧Voutは、電圧V30、V40からトランジスタ302、402のそれぞれのゲート・ソース間電圧だけずれた電圧となり、トランジスタ302、402のそれぞれのドレイン・ソース間電流が等しくなるところで安定となる。このときのトランジスタ302、402のドレイン・ソース間電流をIcとすれば、出力電圧Voutは、

$$V_{out} = V_{in} + V_{GS\ 302} \quad (I\ c) \\ = V_{in} + V_{GS\ 402} \quad (I\ c) \dots (14)$$

トランジスタ301、302の共通ゲート及びトランジスタ401、402の共通ゲートの容量が十分小さければ、電圧V30、V40は入力電圧Vinの変化に比較的速やかに追随して式(12)、式(13)で表される電圧に変化する。ここで入力電圧Vinが高電圧側(VDD側)に変化する場合には、トランジスタ402は一時的にオフとなり、トランジスタ302のソースフォロワ動作によって、出力電圧Voutは速やかに引上げられる。一方、入力電圧Vinが低電圧側(VSS側)に変化する場合には、トランジスタ302は一時的にオフとなり、出力電圧Voutは速やかに引下げられる。すなわち図8の駆動回路は、入力電圧Vinが高電圧側又は低電圧側のどちらに変化してもトランジスタ302又はトランジスタ402がソースフォロワ動作するので、常に高い駆動能力を持つことができる。

【0056】なお、図8の駆動回路は、トランジスタ301、302に対して、 $I_{ds}-V_{gs}$ 特性を考慮してトランジスタ401、402のサイズを調整すれば、電流 $I_c$ を調整することが可能である。したがって、入力端子T1と電源端子T4との間の電流が制御され、出力端子T2と電源端子T4との間の電流が制御されている構成は、図1の駆動回路においてトランジスタ1、2をNMOSトランジスタで構成した駆動回路の変更例と見なすこともできる。同様に、トランジスタ401、402に対して、トランジスタ301、302のサイズを調整した場合も電流 $I_c$ を調整することが可能であるので、図1の駆動回路においてトランジスタ1、2をPMOSトランジスタで構成した駆動回路の変更例と見なすこともできる。すなわち、図8の駆動回路は、図1の駆動回路においてトランジスタ1、2をNMOSトランジスタで構成した駆動回路と、トランジスタ1、2をPMOSトランジスタで構成した駆動回路との両方の性能を有した駆動回路となっている。

【0057】図9は本発明に係る駆動回路の第4の実施の形態を示す回路図である。図9は、図4及び図6の駆動回路それぞれの入力端子T1どうし、出力端子T2どうし、電圧VDDが与えられた電源端子どうし、電圧VSSが与えられた電源端子どうしを共通接続したものである。なお、図9の各素子番号は図4及び図6の素子番号をそのまま用いる。ただし、電源端子については、電源電圧VDDが与えられた電源端子をT3とし、電源電圧VSSが与えられた電源端子をT4とする。また、出力端子T2には容量性負荷が接続されているものとする。

【0058】図9の駆動回路の動作を図10を参照して説明する。図10(a)には、電圧Vm以下の任意のレベルの電圧を出力する1出力期間(時刻t0-t3)

$$V_{SS} - V_{gs\,202\,(I\,2\,3)} \leq V_m \leq V_{DD} - V_{gs\,102\,(I\,1\,3)} \dots (15)$$

となるように設定すれば、出力電圧Voutは、  
 $V_{SS} \leq V_{out} \leq V_{DD} \dots (16)$   
 となり、図9の駆動回路の出力電圧範囲は電源電圧範囲と等しくすることができる。

【0061】また、図9の駆動回路は、電圧Vm以下の任意のレベルの電圧を出力する場合には出力端子T2が電圧VSSにプリチャージされ、電圧Vm以上の任意のレベルの電圧を出力する場合には出力端子T2が電圧VDDにプリチャージされるので、図4又は図6の駆動回路において電源電圧VSS又は電源電圧VDDのどちらか一方だけにプリチャージされる場合に比べて、プリチャージに伴う充放電電力が少なく、プリチャージも高速に行うことができる。

【0062】以上のように、図9の駆動回路は、図4及び図6の駆動回路と同じ駆動能力を有し、電源電圧範囲に等しい出力電圧範囲を有する。さらに図4又は図6の

と、電圧Vm以上の任意のレベルの電圧を出力する1出力期間(時刻t0'-t3')との2出力期間とが示されている。また、図10(b)には、トランジスタ101、102のゲート・ソース間電圧Vgs101(I11)、Vgs102(I13)がそれぞれ等しく、トランジスタ201、202のゲート・ソース間電圧Vgs201(I21)、Vgs202(I23)がそれぞれ等しくなるように電流I11、I13、I21、I23を制御し、出力電圧Voutに入力電圧Vinと等しい電圧を出力する場合の電圧波形図である。

【0059】図10において、時刻t0-t3では、スイッチ111、112、121、122、123、124は図5と同様のスイッチ制御を行い、スイッチ211、212、221、222、223、224は全てオフとされる。この結果、図10の電圧波形は図5の電圧波形と同様となる。また、時刻t0'-t3'では、スイッチ211、212、221、222、223、224は図7と同様のスイッチ制御を行い、スイッチ111、112、121、122、123、124は全てオフとされる。この結果、図10の電圧波形は図7の電圧波形と同様となる。すなわち、図9の駆動回路の動作は、電圧Vm以下の任意のレベルの電圧を出力する場合には図4の駆動回路を動作させ、電圧Vm以上の任意のレベルの電圧を出力する場合には図6の駆動回路を動作させるようにしたものである。したがって、図9の駆動回路は図4及び図6の駆動回路と同じ駆動能力を有する。

【0060】また、図9の駆動回路の出力電圧範囲は、出力電圧Voutに入力電圧Vinと等しい電圧を出力する場合、図4の駆動回路動作時は式(8)となり、図6の駆動回路動作時は式(11)となる。ここで、電圧Vmを、

駆動回路より更に消費電力を低減できる。

【0063】図11は図9の駆動回路の具体例を示す駆動回路である。図11においては、図9の電流制御回路104、105、203がNMOSトランジスタで構成され、電流制御回路103、204、205がPMOSトランジスタで構成されたものである。そして上記電流制御トランジスタ103、104、105、203、204、205のそれぞれのゲートに所定の電圧が与えられることにより、任意の電流に制御される。なお図11では、NMOSトランジスタ104、105、203のゲートは、バイアス電圧BIASNが与えられた端子T6に接続し、PMOSトランジスタ103、204、205それぞれのゲートはバイアス電圧BIASPが与えられた端子T5に接続される。なお複数の電流制御トランジスタのゲートバイアス電圧が共通の場合でも、トランジスタのサイズを調整することにより任意の電流を流

すことが可能である。また、電流制御トランジスタごとにバイアス電圧を変えても良い。

【0064】図12は図11の駆動回路の変更を示す回路図である。図12は、図11の駆動回路を改良し、図11の駆動回路より素子数が少なく、スイッチ制御信号の種類を減らした駆動回路である。図12の駆動回路は、図11の駆動回路より電流制御回路104、204及びスイッチ122、222を取り去り、新たにPMOSトランジスタ131及びNMOSトランジスタ231を付加した回路である。PMOSトランジスタ131は、ソース、ドレインをそれぞれNMOSトランジスタ101のゲート（ドレイン）、ソースに接続され、ゲートは電圧B1ASPが与えられた端子T5に接続される。NMOSトランジスタ231は、ソース、ドレインをそれぞれPMOSトランジスタ201のゲート（ドレイン）、ソースに接続され、ゲートは電圧B1ASNが与えられた端子T6に接続される。また、PMOSトランジスタ131は、PMOSトランジスタ103より閾値電圧が小さく、同じゲート電圧に対してPMOSトランジスタ103より十分高い電流供給能力をもつものとし、NMOSトランジスタ231も、NMOSトランジスタ203より閾値電圧が小さく、同じゲート電圧に対してNMOSトランジスタ203より十分高い電流供給能力をもつものとする。そしてNMOSトランジスタ101、PMOSトランジスタ103、131で構成される回路ブロックを回路ブロック130とし、PMOSトランジスタ201、NMOSトランジスタ203、231で構成される回路ブロックを回路ブロック230とする。なお、図12の駆動回路において、図11と同じ素子については図11の素子番号をそのまま用いる。

【0065】図12の駆動回路の動作を図13を参照して説明する。図13(a)には、電圧Vm以下の任意のレベルの電圧を出力する1出力期間（時刻t0-t3）と、電圧Vm以上の任意のレベルの電圧を出力する1出力期間（時刻t0'-t3'）との2出力期間とが示されている。また、図13(b)には、入力電圧Vinと等しい電圧を出力電圧Voutとして出力する場合の電圧波形図が示されている。なお、図13中のスイッチ112、123、124、212、223、224の制御タイミングは、図10と同様である。

【0066】図12の駆動回路は、時刻t0-t3間にて、図11の駆動回路の電流制御回路104及びスイッチ122と同じ作用を回路ブロック230とスイッチ221にさせ、時刻t0'-t3'間にて、図11の駆動回路の電流制御回路204及びスイッチ222と同じ作用を、回路ブロック130とスイッチ121にさせたものである。以下に図12の駆動回路の動作を説明する。

【0067】始めに、電圧Vm以下の任意のレベルの電圧を出力する1出力期間（時刻t0-t3）では、時刻t0にて、スイッチ111、211がオン、スイッチ1

21、221がオフとされる。この結果、トランジスタ101、102の共通ゲートは電圧VDDに、トランジスタ201、202の共通ゲートは電圧VSSにプリチャージされる。また、スイッチ112がオン、スイッチ123、124はオフとされ、出力端子T2は電圧VSSにプリチャージされる。なお、スイッチ212、223、224は、時刻t0-t3間はオフとされる。

【0068】次に、時刻t1にて、スイッチ111、211がオフ、スイッチ121、221がオンとされる。この結果、トランジスタ101、201の作用により、トランジスタ101、102の共通ゲートの電圧V10及びトランジスタ201、202の共通ゲートの電圧V20は、それぞれ入力電圧Vinからゲート・ソース間電圧だけずれた電圧に速やかに変化し、それぞれ

$$V10 = Vin + Vgs101 \quad (I11) \dots (16)$$

$$V20 = Vin + Vgs201 \quad (I21) \dots (17)$$

で安定となる。このときトランジスタ131、231はオフ状態となり動作しない。また、電源端子T3と入力端子T1との間には電流I11が流れ、入力端子T1と電源端子T4との間には電流I21が流れる。

【0069】次に、時刻t2にて、スイッチ112がオフ、スイッチ123、124がオンとされる。この結果、トランジスタ102のソースフォロワ動作により、出力電圧Voutは電圧V10からトランジスタ102のゲート・ソース間電圧だけずれた電圧に速やかに変化し、

$$Vout = V10 - Vgs102 \quad (I13) \dots (18)$$

で安定となる。ここでトランジスタ101、102のゲート・ソース間電圧Vgs101 (I11)、Vgs102 (I13) が等しくなるように電流I11、I13を制御すれば、出力電圧Voutは入力電圧Vinと等しい電圧を出力する。

【0070】電圧Vm以下の任意のレベルの電圧を出力する1出力期間（時刻t0'-t3'）では、時刻t0'にて、スイッチ111、211がオン、スイッチ121、221がオフとされる。この結果、トランジスタ101、102の共通ゲートは電圧VDDに、トランジスタ201、202の共通ゲートは電圧VSSにプリチャージされる。また、スイッチ212がオン、スイッチ223、224はオフとされ、出力端子T2は電圧VDにプリチャージされる。なお、スイッチ112、123、124は、時刻t0'-t3'間はオフとされる。

【0071】次に、時刻t1'にて、スイッチ111、211がオフ、スイッチ121、221がオンとされる。この結果、トランジスタ101、201の作用により、トランジスタ101、102の共通ゲートの電圧V10及びトランジスタ201、202の共通ゲートの電圧V20は、それぞれ入力電圧Vinからゲート・ソース間電圧だけずれた電圧に速やかに変化し、それぞれ式(16)、式(17)で表される電圧で安定となる。こ

のときトランジスタ131、231はオフ状態となり動作しない。また、電源端子T3と入力端子T1との間に電流I11が流れ、入力端子T1と電源端子T4との間に電流I21が流れる。

【0072】次に、時刻t2'にて、スイッチ212がオフ、スイッチ223、224がオンとなる。この結果、トランジスタ202のソースフォロワ動作により、出力電圧Voutは電圧V20からトランジスタ102のゲート・ソース間電圧だけはずれた電圧に速やかに変化し、

$$V_{out} = V_{20} - V_{gs\ 202} \quad (123) \cdots (19)$$

で安定となる。ここでトランジスタ201、202のゲート・ソース間電圧Vgs201 (121)、Vgs202 (123)が等しくなるように電流I21、I23を制御すれば、出力電圧Voutは入力電圧Vinと等しい電圧を出力する。

【0073】なお、電流I11、I21が等しい場合は、入力電圧Vinを供給する外部回路の電流供給能力が低い場合でも図12の駆動回路を容易に動作させることができる。

【0074】以上の動作は、入力電圧Vinが電圧VSよりある程度高く、電圧VDDよりある程度低い電圧範囲の場合で、トランジスタ101、201がオン状態の場合の動作である。次に、入力電圧Vinが電圧VD又は電圧VSSに近く、トランジスタ101又はトランジスタ201がオフ状態となる場合の動作について以下に説明する。

【0075】時刻t0-t3において、入力電圧Vinが電圧VSSに近い電圧レベルの場合、時刻t1にて、電圧V10は式(16)で表される電圧となるが、電圧V20は式(17)で表される電圧とはならない。これは入力電圧Vinが電圧VSSに近く、トランジスタ201のゲート・ソース間電圧が閾値電圧以下の状態では、トランジスタ201はオフとなるためである。時刻t1直後の電圧V20は時刻t0-t1間にプリチャージされた電圧VSSであるが、トランジスタ231の動作により入力端子T1からトランジスタ203のドレインへ電流が供給され、電圧V20は入力電圧Vinと電圧VSSの中間の電圧に引上げられる。このときトランジスタ231の電流供給能力がトランジスタ203の電流供給能力より高ければ、入力端子T1から電源端子T4へ流れる電流はトランジスタ203で制御された電流I21となる。したがって入力電圧Vinが電圧VSに近い電圧レベルでトランジスタ201がオフとなる場合でも、入力端子T1と電源端子T4との間に電流I21を流すことができる。

【0076】また、時刻t0'-t3'において、入力電圧Vinが電圧VDDに近い電圧レベルの場合、時刻t1'にて、電圧V20は式(17)で表される電圧となるが、電圧V10は式(16)で表される電圧とは

ならない。これは入力電圧Vinが電圧VDDに近く、トランジスタ101のゲート・ソース間電圧が閾値電圧以下の状態では、トランジスタ101はオフとなるためである。時刻t1'直後の電圧V10は時刻t0'-t1'間にプリチャージされた電圧VDDであるが、トランジスタ131の動作によりトランジスタ103のドレインから入力端子T1へ電流が供給され、電圧V10は入力電圧Vinと電圧VDDの中間の電圧に引下げられる。このときトランジスタ131の電流供給能力がトランジスタ103の電流供給能力より高ければ、電源端子T3から入力端子T1へ流れる電流はトランジスタ103で制御された電流I11となる。したがって入力電圧Vinが電圧VDDに近い電圧レベルでトランジスタ101がオフとなる場合でも、電源端子T3と入力端子T1との間に電流I11を流すことができる。

【0077】以上のように、回路ブロック130、230は、入力電圧Vinの電圧レベルによらず、それぞれ電流I11、I21を流すことができ、電流制御回路の機能も有する。

【0078】すなわち図12の駆動回路の動作は、時刻t0-t3間では、スイッチ221及び回路ブロック230が、図11の駆動回路のスイッチ122及び電流制御回路104と同じ作用をし、時刻t0'-t3'間では、スイッチ121及び回路ブロック130が、図11の駆動回路のスイッチ222及び電流制御回路204と同じ作用をする。したがって図12の駆動回路全体の作用は、図11の駆動回路の作用とまったく同じであり、その性能も図11の駆動回路と等しい。

【0079】図14は本発明に係る電流制御回路の実施の形態を示す回路図である。図14において、回路ブロック500は、電流制御回路をトランジスタで構成した駆動回路であり、回路ブロック30は、電流制御トランジスタを精度よく制御するためのバイアス回路である。回路ブロック500は、図1の駆動回路の具体例で、図1のトランジスタ1、2をNMOSトランジスタ501、502とし、図1の電流制御回路3、4、5をそれぞれPMOSトランジスタ503、NMOSトランジスタ504、505としたものである。PMOSトランジスタ503のゲートは端子T5に接続され、NMOSトランジスタ504、505のゲートは端子T6に接続される。なお、電源端子T3、T4には電源電圧VDD、VSSがそれぞれ与えられている。

【0080】回路ブロック30は、電流制御回路として作用するトランジスタ503、504、505の各ゲートにバイアス電圧を供給するバイアス回路である。バイアス回路30は、NMOSトランジスタ31、32と、同じIds-Vgs特性を有するPMOSトランジスタ33、34とで構成される。NMOSトランジスタ31は、ドレインが端子T5に接続され、ソースが電源端子T8に接続され、ゲートには外部より電圧BIASが与

えられる。NMOSトランジスタ32はドレイン及びゲートが端子T6に接続され、ソースが電源端子T8に接続される。PMOSトランジスタ33は、ドレイン及びゲートが端子T5に接続され、ソースが電源端子T7に接続される。PMOSトランジスタ34は、ドレインが端子T6に接続され、ゲートが端子T5に接続され、ソースが電源端子T7に接続される。PMOSトランジスタ33、34はゲートが共通接続され、同じ $I_{ds}-V_{gs}$ 特性を有するので、それぞれのドレイン・ソース間電流は等しく、これを電流I4とする。電流I4は電圧BIASによって制御され、端子T5、T6の電圧BIAS、BIASNは電流I4により制御される。なお、電源端子T7、T8には電源電圧VDD、VSSがそれぞれ与えられている。

【0081】ここでトランジスタの特性変動を考慮してPMOSトランジスタ33、34、503及びNMOSトランジスタ32、504の各素子サイズを設計し、電流I51、I52が等しくなるように、電流I4、I51、I52を設定すれば、トランジスタの特性変動が生じても、入力電圧Vinを供給する外部回路の電流供給能力に依存しないようにさせることができる。また、トランジスタの特性変動を考慮してPMOSトランジスタ33、34、503及びNMOSトランジスタ32、505の各素子サイズを設計し、トランジスタ501、502のそれぞれのゲート・ソース間電圧が等しくなるように電流I4、I51、I53を設定すれば、トランジスタの特性変動が生じても、入力電圧Vinに等しい電圧を出力することができる。

【0082】上記の最も簡単な方法としては、トランジスタ501、502と同じ素子サイズで設計し、PMOSトランジスタ33、34、503と同じ素子サイズで設計し、さらにNMOSトランジスタ32、504、505と同じ素子サイズで設計する。この場合、電流I4、I51、I52、I53は等しく、トランジスタの特性変動が生じても電流I4、I51、I52、I53の等しい関係は保たれるので、入力電圧Vinを供給する外部回路の電流供給能力に依存しないようにさせることができ、また入力電圧Vinに等しい電圧を出力することができる。

【0083】以上のように、電流制御回路をトランジスタで構成した駆動回路500に対し、バイアス回路30を設けることにより、駆動回路500を、入力電圧Vinを供給する外部回路の電流供給能力に依存しないようにさせることができ、トランジスタの特性変動に依存しない高精度な電圧出力が実現できる。

【0084】図15は、図14のバイアス回路30の変更例を示す回路図である。図15のバイアス回路40は、図14のバイアス回路30よりトランジスタ31、33を取り、バイアス回路に流す電流を減らした構成である。図15では、電圧BIAS(=電圧BIAS

P)が外部から直接駆動回路500及びバイアス回路40のトランジスタ34のゲートに与えられ、電流I4は電圧BIASにより制御される。図15においても、図14の場合と同様に、トランジスタの特性変動を考慮してバイアス回路40のトランジスタ32、34及び駆動回路500の電流制御トランジスタの素子サイズを設計し、電流I4及び駆動回路500の電流制御トランジスタにより制御される各電流を最適に設定すれば、バイアス回路30と同様の作用及び効果を得ることができること。

【0085】なお、図14及び図15における駆動回路500は、図11、図12の駆動回路や他の実施の形態に置き換えることが可能である。また、図14及び図15では、駆動回路500とバイアス回路30又は40とが1対1の構成の場合を示したが、複数の駆動回路500を有する場合に、その複数の駆動回路500で単数のバイアス回路30又は40を共有することも可能である。

【0086】請求項の記載に関連して本発明は更に次の態様をとりうる。

【0087】(1) 容量性負荷を駆動する駆動回路であって、第1～第3の定電流源と、前記第1の定電流源がドレイン端子に接続されかつ前記第2の定電流源がソース端子に接続され更にドレイン端子とゲート端子とが接続された第1のトランジスタと、前記第1のトランジスタと同一導電型でありゲート端子が前記第1のトランジスタのゲート端子と接続されかつソース端子が前記第3の定電流源に接続されてソースフォロワ動作する第2のトランジスタとを含み、前記第1のトランジスタのソース端子を入力端子としつつ前記第2のトランジスタのソース端子を出力端子としたことを特徴とする駆動回路。

【0088】(2) 容量性負荷を駆動する駆動回路であって、第1及び第2の定電流源と、前記第1の定電流源がドレイン端子に接続されかつドレイン端子とゲート端子とが接続された第1のトランジスタと、前記第1のトランジスタと同一導電型でありゲート端子が前記第1のトランジスタのゲート端子と接続された第2のトランジスタと、前記第2の定電流源がドレイン端子に接続されかつドレイン端子とゲート端子とが接続された第3のトランジスタと、前記第3のトランジスタと同一導電型でありゲート端子が前記第3のトランジスタのゲート端子と接続された第4のトランジスタとを含み、前記第1及び第2のトランジスタと前記第3及び第4のトランジスタと異なる導電型とし、前記第1及び第3のトランジスタのソース端子を入力端子としつつ前記第2及び第4のトランジスタのソース端子を出力端子としたことを特徴とする駆動回路。

【0089】(3) 外部制御入力に応答して前記第1及び第2のトランジスタのゲート端子を所定電圧にプリチャージする第1のプリチャージ手段を更に含むことを特

徴とする（1）記載の駆動回路。

【0090】（4）外部制御入力に応答して前記第1及び第2のトランジスタのゲート端子並びに前記第3及び第4のトランジスタのゲート端子をそれぞれ所定電圧にプリチャージする第1のプリチャージ手段を更に含むことを特徴とする（2）記載の駆動回路。

【0091】（5）外部制御入力に応答して前記出力端子を所定電圧にプリチャージする第2のプリチャージ手段を更に含むことを特徴とする（1）～（4）のいずれかに記載の駆動回路。

【0092】（6）前記第1及び第2のプリチャージ手段は、前記外部制御入力に応答してオンオフ動作して前記トランジスタのドレイン・ソース間電流を制御するスイッチを含むことを特徴とする（5）記載の駆動回路。

【0093】（7）前記第1及び第2のトランジスタを、共にNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタのいずれか一方としたことを特徴とする（1）若しくは（3）又は（5）若しくは（6）記載の駆動回路。

【0094】（8）前記第1及び第2のトランジスタを、共にNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタのいずれか一方とし、前記第3及び第4のトランジスタを、共にNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタの他方としたことを特徴とする（2）若しくは（4）又は（5）若しくは（6）記載の駆動回路。

【0095】（9）前記第1～第3の定電流源は、トランジスタ素子と、このトランジスタ素子に対応して設けられそのゲート電圧を制御するバイアス回路とで構成し、そのソース端子とドレイン端子との間の電流を一定にするようにしたことを特徴とする請求項（1）～（8）のいずれかに記載の駆動回路。

【0096】（10）前記第1～第3の定電流源をそれぞれ構成する前記バイアス回路は、外部から入力されるバイアス電圧に応じて、対応する前記トランジスタ素子に対して同一のゲート電圧を与えることを特徴とする（9）記載の駆動回路。

【0097】（11）前記第1～第4のトランジスタは、共にバイポーラ型トランジスタであり、そのエミッタ端子を前記ソース端子とし、そのベース端子を前記ゲート端子とし、そのコレクタ端子を前記ドレイン端子としたことを特徴とする（1）～（5）又は（9）のいずれかに記載の駆動回路。

【0098】（12）（9）～（11）のいずれかに記載の駆動回路を複数含み、これら駆動回路で、前記バイアス回路を共有するようにしたことを特徴とする駆動回

路システム。

#### 【0099】

【発明の効果】以上説明したように本発明は、ゲート端子同士を接続し、一方のトランジスタのゲート端子とドレイン端子とを接続し、他方のトランジスタをソースフォロワ動作させ、両トランジスタのドレイン・ソース間電流を制御することにより、簡単な回路構成で、容量性負荷を高い電流供給能力で駆動することができるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明による駆動回路の第1の実施の形態の構成を示す回路図である。

【図2】本発明による駆動回路の第2の実施の形態の構成を示す回路図である。

【図3】図2の回路動作を示すタイミング図である。

【図4】図2の具体的な回路を示す回路図である。

【図5】（a）は図4の回路の動作を示すタイミング図、（b）は図4の回路の動作を示す電圧波形図である。

【図6】図2の別の具体的な回路を示す回路図である。

【図7】（a）は図6の回路の動作を示すタイミング図、（b）は図6の回路の動作を示す電圧波形図である。

【図8】本発明による駆動回路の第3の実施の形態の構成を示す回路図である。

【図9】本発明による駆動回路の第4の実施の形態の構成を示す回路図である。

【図10】（a）は図9の回路の動作を示すタイミング図、（b）は図9の回路の動作を示す電圧波形図である。

【図11】図9の具体的な回路を示す回路図である。

【図12】図11の変更例を示す回路図である。

【図13】（a）は図12の回路の動作を示すタイミング図、（b）は図12の回路の動作を示す電圧波形図である。

【図14】本発明に係る電流制御回路の実施の形態を示す回路図である。

【図15】図14の変更例を示す回路図である。

【図16】従来の駆動回路を示す回路図である。

#### 【符号の説明】

1、2 トランジスタ

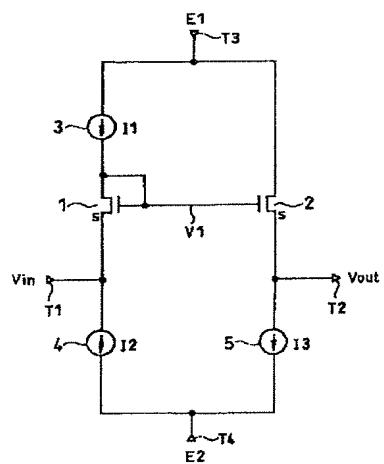
3、4、5 電流制御回路

11、12、21、22、23、24 スイッチ

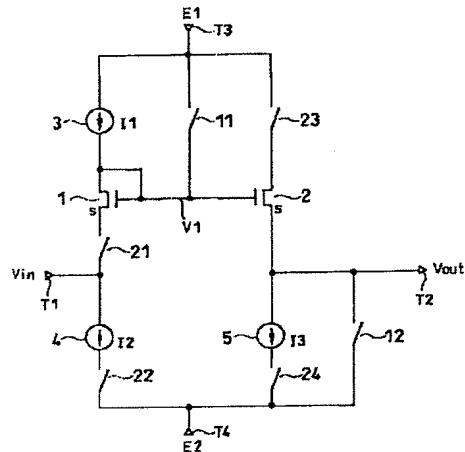
V<sub>in</sub> 入力電圧

V<sub>out</sub> 出力電圧

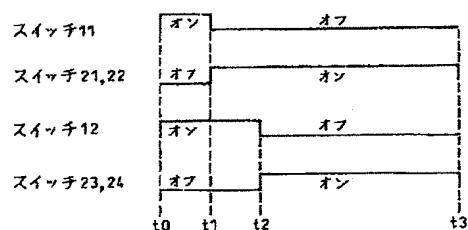
【図1】



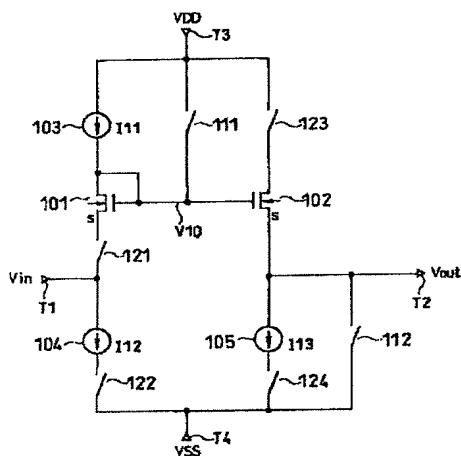
【図2】



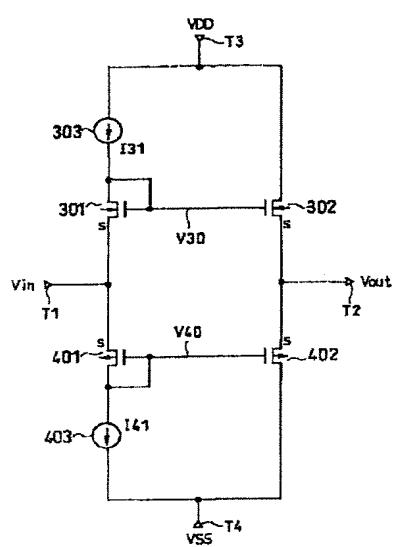
【図3】



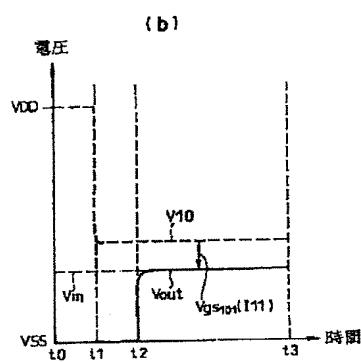
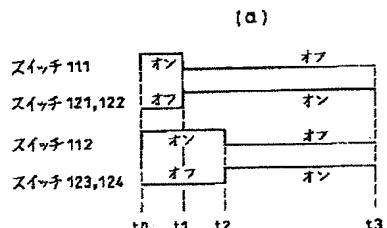
【図4】



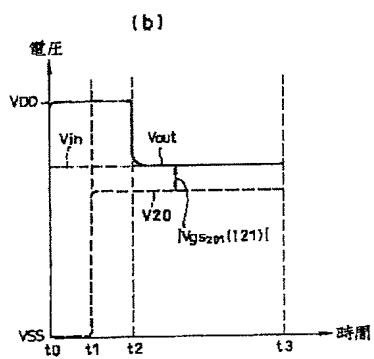
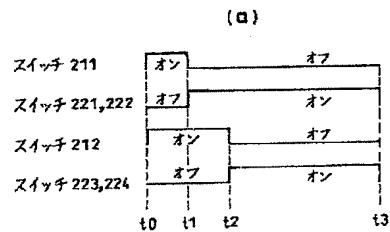
【図8】



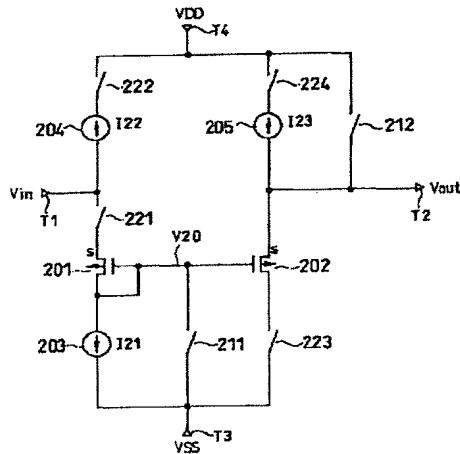
【図5】



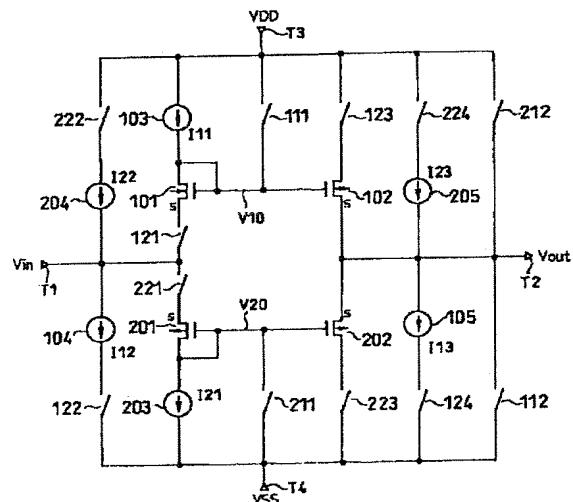
【図7】



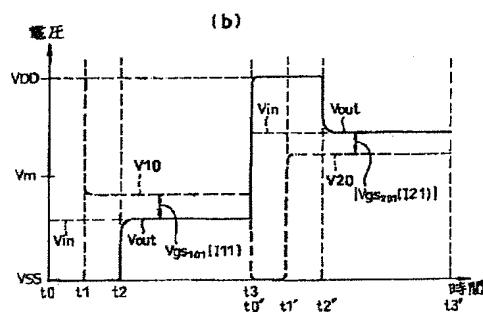
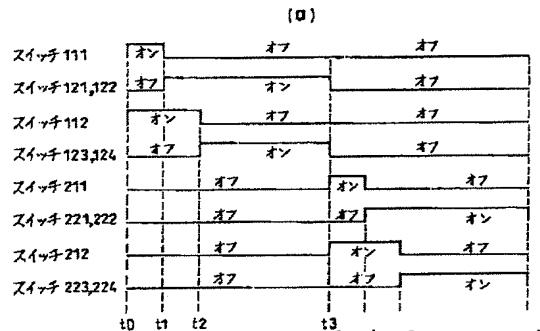
【図6】



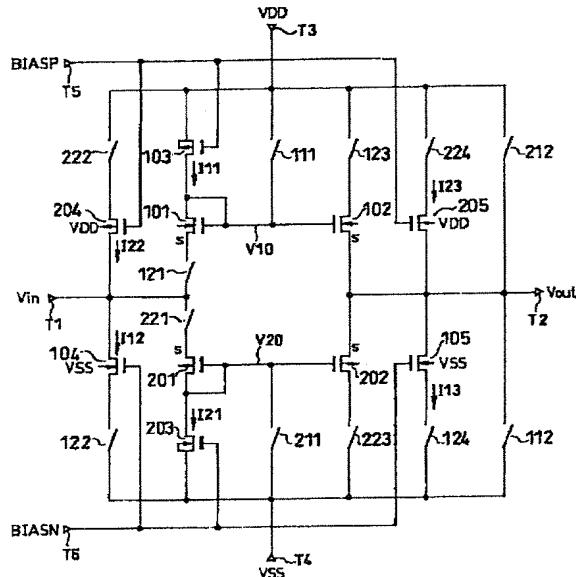
【図9】



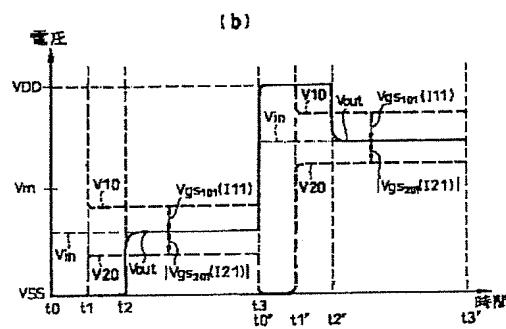
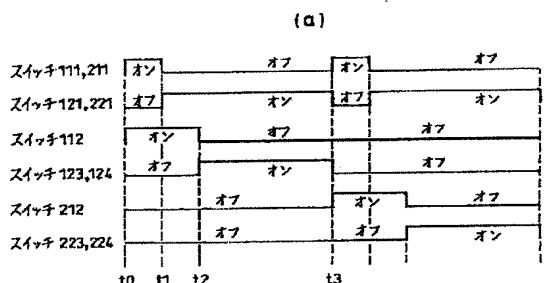
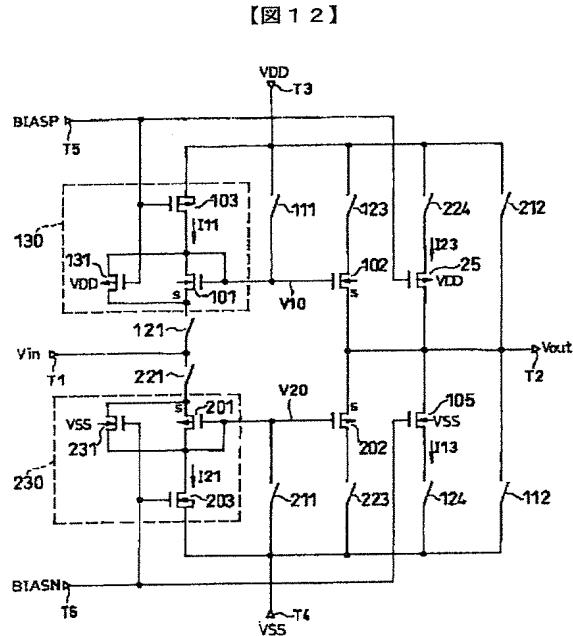
【図10】



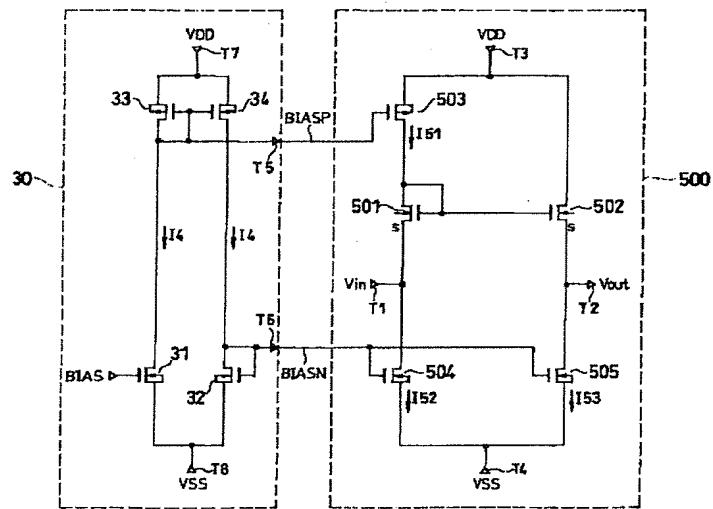
【図11】



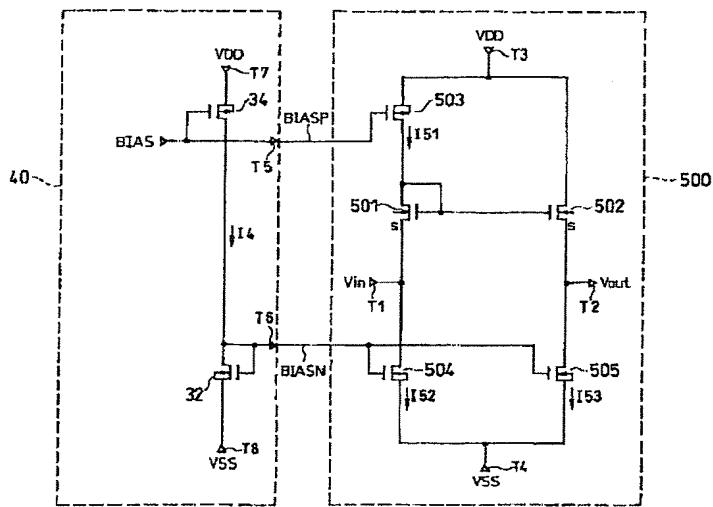
【図13】



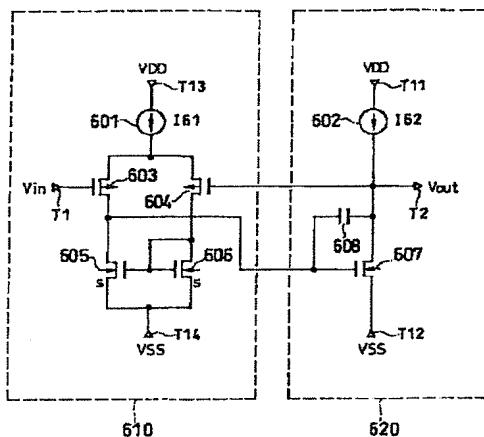
【図14】



【図15】



【図16】



## 【手続補正書】

【提出日】平成12年4月17日(2000.4.17)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

## 【補正内容】

## 【特許請求の範囲】

【請求項1】入力電圧を第1の電圧にレベル変換するレベル変換手段と、前記第1の電圧をゲートに受け、前記入力電圧に応じた出力電圧をソースより出力する第1のトランジスタと、前記第1のトランジスタのドレイン・ソース間に流れる電流を制御する第1の電流制御手段と、前記第1のトランジスタをソースフォロワ動作させる駆動手段とを含み、前記レベル変換手段は前記第1のトランジスタと同一導電型のトランジスタを含むことを特徴とする駆動回路。

【請求項2】前記レベル変換手段は、前記第1のトランジスタと同一導電型であり、ソースに前記入力電圧を受け、共通接続したドレインとゲートより前記第1の電圧を出力する第2のトランジスタと、前記第2のトランジスタのドレイン・ソース間に流れる電流を制御する第2の電流制御手段とを含むことを特徴とする請求項1記載の駆動回路。

【請求項3】第1の電源端子と、入力電圧を受ける入力端子と、出力電圧を出力する出力端子と、ドレインとゲートとが接続されソースに前記入力端子が接続された第1のトランジスタと、前記第1のトランジスタと同一導電型でありかつドレインに前記第1の電源端子が接続されソースに前記出力端子が接続されゲートに前記第1

のトランジスタのゲート電圧と等しい電圧を受ける第2のトランジスタと、前記第1のトランジスタのドレイン(ゲート)とソースとの間に流れる電流を制御する第1の電流制御手段と、前記第2のトランジスタのドレイン(ゲート)とソースとの間に流れる電流を制御する第2の電流制御手段とを含むことを特徴とする駆動回路。

【請求項4】前記第1の電流制御手段は、第2の電源端子と前記第1のトランジスタのドレイン(ゲート)との間に接続した第1の電流制御回路であり、

前記第2の電流制御手段は、前記出力端子と第3の電源端子との間に接続された第2の電流制御回路であることを特徴とする請求項3記載の駆動回路。

【請求項5】前記入力端子と第4の電源端子との間に接続された第3の電流制御回路を更に含むことを特徴とする請求項4記載の駆動回路。

【請求項6】前記入力端子、前記出力端子及び前記電源端子のそれぞれの端子間に流れる電流を遮断することが可能なスイッチ群と、

前記スイッチ群のオン及びオフを制御するスイッチ制御手段と、を更に含むことを特徴とする請求項3～5のいずれかに記載の駆動回路。

【請求項7】前記出力端子を少なくとも1種類の電圧にプリチャージする第1のプリチャージ手段を更に含むことを特徴とする請求項3～6のいずれかに記載の駆動回路。

【請求項8】前記第1のトランジスタのゲート電圧を所定の第1の電圧にプリチャージする第2のプリチャージ手段を更に含むことを特徴とする請求項3～7のいずれかに記載の駆動回路。

【請求項9】前記第1及び第2の電流制御回路が、ゲ

一ト・ソース間電圧の制御により電流制御されるnチャネル型又はpチャネル型の電流制御トランジスタで構成されることを特徴とする請求項4記載の駆動回路。

【請求項10】 前記第1～第3の電流制御回路が、ゲート・ソース間電圧の制御により電流制御されるnチャネル型又はpチャネル型の電流制御トランジスタで構成されることを特徴とする請求項5記載の駆動回路。

【請求項11】 入力電圧を受ける入力端子と出力電圧を出力する出力端子とをそれぞれ共有する第1の駆動回路及び第2の駆動回路と、

前記入力電圧に応じて前記第1の駆動回路及び前記第2の駆動回路の少なくとも一方を動作させる駆動手段とを含み、

前記第1の駆動回路は、

ドレインとゲートとが接続され、ソースが前記入力端子に接続された第1のnチャネル型トランジスタと、ドレインに第1の電源端子が接続され、ソースが前記出力端子に接続され、ゲートに前記第1のnチャネル型トランジスタのゲート電圧と等しい電圧を受ける第2のnチャネル型トランジスタと、

前記第1のnチャネル型トランジスタのドレイン(ゲート)とソースとの間に流れる電流を制御する第1の電流制御手段と、

前記第2のnチャネル型トランジスタのドレインとソースとの間に流れる電流を制御する第2の電流制御手段と、

を含み、

前記第2の駆動回路は、

ドレインとゲートとが接続され、ソースが前記入力端子に接続された第1のpチャネル型トランジスタと、ドレインに第2の電源端子が接続され、ソースが前記出力端子に接続され、ゲートに前記第1のpチャネル型トランジスタのゲート電圧と等しい電圧を受ける第2のpチャネル型トランジスタと、

前記第1のpチャネル型トランジスタのドレイン(ゲート)とソースとの間に流れる電流を制御する第3の電流制御手段と、

前記第2のpチャネル型トランジスタのドレインとソースとの間に流れる電流を制御する第4の電流制御手段と、

を含むことを特徴とする駆動回路システム。

【請求項12】 前記第1の電流制御手段は、第3の電源端子と前記第1のnチャネル型トランジスタのドレイン(ゲート)との間に接続された第1の電流制御回路を含み、

前記第2の電流制御手段は、前記出力端子と第4の電源端子との間に接続された第2の電流制御回路を含み、

前記第3の電流制御手段は、第5の電源端子と前記第1のpチャネル型トランジスタのドレイン(ゲート)との間に接続された第3の電流制御回路を含み、

前記第4の電流制御手段は、前記出力端子と第6の電源端子との間に接続された第4の電流制御回路を含むことを特徴とする請求項11記載の駆動回路システム。

【請求項13】 前記第1の駆動回路は、前記入力端子と第7の電源端子との間に接続された第5の電流制御回路を更に含み、

前記第2の駆動回路は、前記入力端子と第8の電源端子との間に接続された第6の電流制御回路を更に含むことを特徴とする請求項11又は12記載の駆動回路システム。

【請求項14】 前記入力端子、前記出力端子及び前記電源端子のそれぞれの端子間に流れる電流を遮断することが可能なスイッチ群と、

前記スイッチ群のオン及びオフを制御するスイッチ制御手段と、

を更に含むことを特徴とする請求項11～13のいずれかに記載の駆動回路システム。

【請求項15】 前記出力端子を少なくとも1種類の電圧にプリチャージする第1のプリチャージ手段を更に含むことを特徴とする請求項11～14のいずれかに記載の駆動回路システム。

【請求項16】 前記第1のnチャネル型トランジスタのゲート電圧を所定の第1の電圧にプリチャージする第2のプリチャージ手段と、前記第1のpチャネル型トランジスタのゲート電圧を所定の第2の電圧にプリチャージする第3のプリチャージ手段とを更に含むことを特徴とする請求項11～15のいずれかに記載の駆動回路システム。

【請求項17】 前記第1～第4の電流制御回路が、ゲート・ソース間電圧の制御により電流制御されるnチャネル型又はpチャネル型の電流制御トランジスタで構成されることを特徴とする請求項12記載の駆動回路システム。

【請求項18】 前記第1～第6の電流制御回路が、ゲート・ソース間電圧の制御により電流制御されるnチャネル型又はpチャネル型の電流制御トランジスタで構成されることを特徴とする請求項13記載の駆動回路システム。

【請求項19】 第1のnチャネル型トランジスタと、前記第1のnチャネル型トランジスタのドレイン・ソース間電流と等しい大きさのドレイン・ソース間電流を有する第1のpチャネル型トランジスタを含み、

前記第1のnチャネル型トランジスタは、請求項9～10のいずれかに記載の駆動回路又は請求項17～18のいずれかに記載の駆動回路システムに含まれる前記nチャネル型の電流制御トランジスタと同じゲート・ソース間電圧を有し、

前記第1のpチャネル型トランジスタは、請求項9～10のいずれかに記載の駆動回路又は請求項17～18のいずれかに記載の駆動回路システムに含まれる前記pチ

ヤネル型の電流制御トランジスタと同じゲート・ソース間電圧を有することを特徴とするバイアス回路。

【請求項20】 請求項1～10のいずれかの駆動回路を複数含み、さらに請求項19のバイアス回路を含み、複数の前記駆動回路で前記バイアス回路を共用するようにしたことを特徴とする駆動回路システム。

【請求項21】 請求項11～18のいずれかの駆動回路システムを複数含み、さらに請求項19のバイアス回路を含み、複数の前記駆動回路システムで前記バイアス回路を共用するようにしたことを特徴とする駆動回路装置。

【請求項22】 ソースが第1の電源端子に接続され、ゲート電圧が制御された第1のトランジスタと、前記第1のトランジスタと異なる導電型で、ソースが第2の電源端子に接続され、ゲートとドレインが共通接続され、前記第1のトランジスタとドレイン・ソース間電流を共有する第2のトランジスタとを含むバイアス回路と、

前記第1のトランジスタと同一導電型及び同一サイズで前記第1のトランジスタとゲート同士、ソース同士がそれぞれ共有接続された少なくとも1個の電流制御トランジスタを含み、前記第2のトランジスタと同一導電型及び同一サイズで前記第2のトランジスタとゲート同士、ソース同士がそれぞれ共有接続された少なくとも1個の電流制御トランジスタを含み、前記バイアス回路により前記各電流制御トランジスタの電流が等しく保たれている駆動回路とを含むことを特徴とする駆動回路装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】

【課題を解決するための手段】本発明による駆動回路は、入力電圧を第1の電圧にレベル変換するレベル変換手段と、前記第1の電圧をゲートに受け、前記入力電圧に応じた出力電圧をソースより出力する第1のトランジスタと、前記第1のトランジスタのドレイン・ソース間に流れる電流を制御する第1の電流制御手段と、前記第1のトランジスタをソースフォロワ動作させる駆動手段とを含み、前記レベル変換手段は前記第1のトランジスタと同一導電型のトランジスタを含むことを特徴とする。また、前記レベル変換手段は、前記第1のトランジスタと同一導電型であり、ソースに前記入力電圧を受け、共通接続したドレインとゲートより前記第1の電圧を出力する第2のトランジスタと、前記第2のトランジスタのドレイン・ソース間に流れる電流を制御する第2の電流制御手段とを含むことを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】本発明によるバイアス回路は、第1のnチャネル型トランジスタと、前記第1のnチャネル型トランジスタのドレイン・ソース間電流と等しい大きさのドレイン・ソース間電流を有する第1のpチャネル型トランジスタを含み、前記第1のnチャネル型トランジスタは、上記駆動回路又は上記駆動回路システムに含まれる前記nチャネル型の電流制御トランジスタと同じゲート・ソース間電圧を有し、前記第1のpチャネル型トランジスタは、上記駆動回路又は上記駆動回路システムに含まれる前記pチャネル型の電流制御トランジスタと同じゲート・ソース間電圧を有することを特徴とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】本発明による駆動回路装置は、上記駆動回路システムを複数含み、さらに上記バイアス回路を含み、複数の駆動回路システムでバイアス回路を共用するようにしたことを特徴とする。更に、本発明による駆動回路装置は、ソースが第1の電源端子に接続され、ゲート電圧が制御された第1のトランジスタと、前記第1のトランジスタと異なる導電型で、ソースが第2の電源端子に接続され、ゲートとドレインが共通接続され、前記第1のトランジスタとドレイン・ソース間電流を共有する第2のトランジスタとを含むバイアス回路と、前記第1のトランジスタと同一導電型及び同一サイズで前記第2のトランジスタとゲート同士、ソース同士がそれぞれ共有接続された少なくとも1個の電流制御トランジスタを含み、前記第2のトランジスタと同一導電型及び同一サイズで前記第2のトランジスタとゲート同士、ソース同士がそれぞれ共有接続された少なくとも1個の電流制御トランジスタを含み、前記バイアス回路により前記各電流制御トランジスタの電流が等しく保たれている駆動回路とを含むことを特徴とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

【補正内容】

【0070】電圧Vm以上の任意のレベルの電圧を出力する1出力期間（時刻t0' - t3'）では、時刻t0'にて、スイッチ111、211がオン、スイッチ121、221がオフとされる。この結果、トランジスタ101、102の共通ゲートは電圧VDDに、トランジスタ201、202の共通ゲートは電圧VSSにプリチャージされる。また、スイッチ212がオン、スイッチ

223、224はオフとされ、出力端子T2は電圧VD  
Dにプリチャージされる。なお、スイッチ112、12

3、124は、時刻  $t_0' - t_3'$  間はオフとされる。